



<b>DNI:</b> 20959251H	<b>Apellidos:</b>	<b>Nombre:</b>
--------------------------	-------------------	----------------

**Cuadrícula de respuestas:**

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	
A✓	A✓	A✓	A✓	A✓	A✓	A✓	A✓	A✓	A✓	A✓	A✓	A✓	A✓	A✓	A✓	A✓	A✓	A✓	A✓	A✓

<b>Bien</b>	<b>Mal</b>	<b>NC</b>
<b>20</b>	<b>0</b>	<b>0</b>

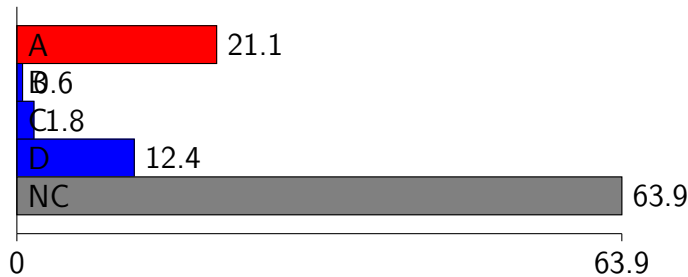
**Normas**

1. La duración del examen será de 1 hora y media.
2. No está permitido:
  - a) Abandonar el aula sin entregar el examen.
  - b) Utilizar cualquier tipo de documentación.
  - c) Utilizar calculadora.
3. El examen se calificará teniendo en cuenta únicamente las respuestas anotadas en la cuadrícula de respuestas. Cada respuesta correcta sumará 0,5 puntos. Cada respuesta errónea restará 0,5/3 puntos. Las preguntas no contestadas no se tendrán en cuenta.



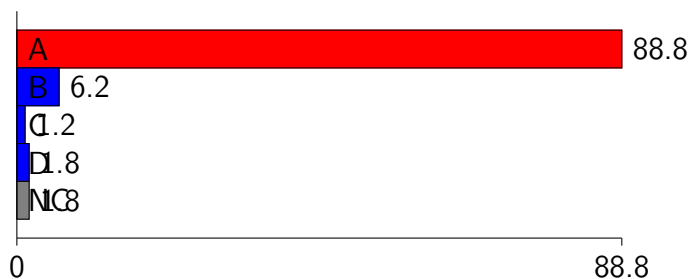
1. Indica cuál de las siguientes afirmaciones prueba que la arquitectura ARM es Von Neumann:

- ✓a) ✓La instrucción «**ldr** rd, [PC, #desp]» lee datos de la memoria de programa.
- b) La instrucción «**add** rd, #imm8» lee datos de la memoria de programa.
- c) La instrucción «**b** #desp» lee datos de la memoria de programa.
- d) Ninguna, la arquitectura ARM es Harvard.



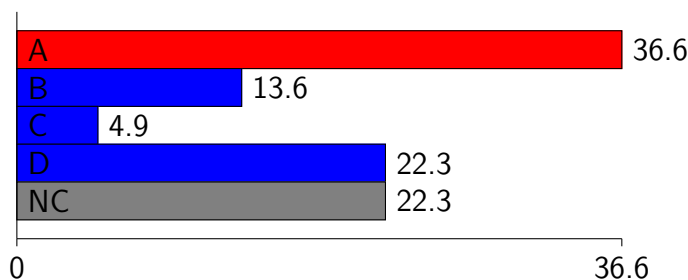
2. Indica cuál de las siguientes afirmaciones sobre el procesador es falsa:

- ✓a) ✓Genera señales de control para relacionarlo directamente con el mundo exterior.
- b) Dispone de unidades de almacenamiento y de transformación de datos
- c) Ejecuta las instrucciones que lee de la memoria.
- d) Genera señales de control para coordinar el funcionamiento del computador.



3. ¿Cuál de los siguientes datos se especifica en la arquitectura de un procesador?

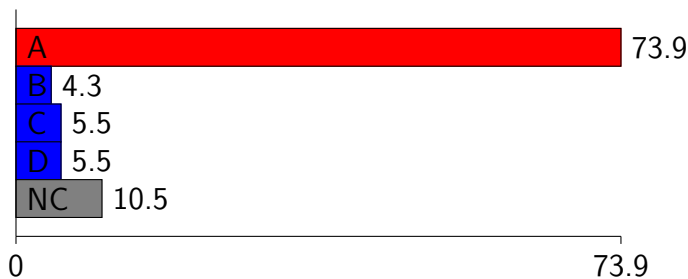
- ✓a) ✓El tamaño de algunos registros.
- b) El tamaño de los programas.
- c) La cantidad de memoria de un computador que lo utilice.
- d) El número de pines del encapsulado del procesador.





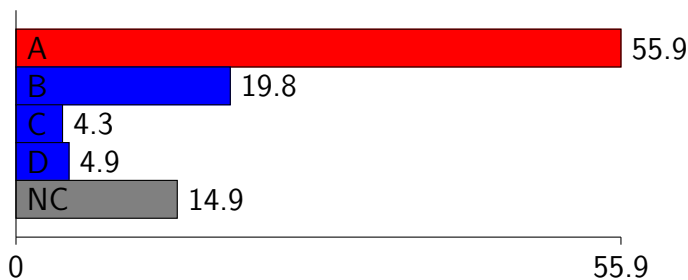
4. Se distinguen los siguientes tipos de instrucciones:

- ✓a) ✓Transferencia de datos, transformación de datos, control del flujo de programa y control del procesador.
- b) Transferencia de datos, acceso a memoria, control de bucles y control condicional.
- c) Transferencia de datos por programa, consulta de estado, interrupciones y acceso directo a memoria.
- d) Transformación de datos, transformación de estado, control de datos y control de estado.



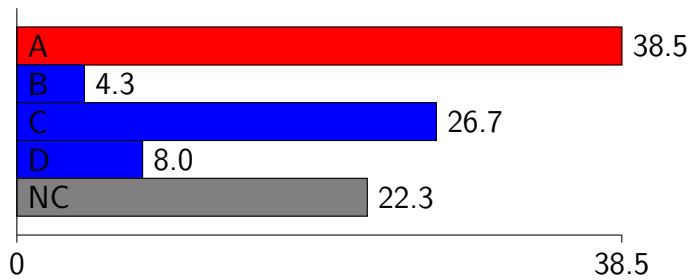
5. El bus de un procesador está formado por...

- ✓a) ✓Líneas de control, de datos y de direcciones.
- b) Líneas de control, de datos y de estado.
- c) Parte digital, parte analógica y transductores.
- d) Registros, unidades de transformación y señales de control.



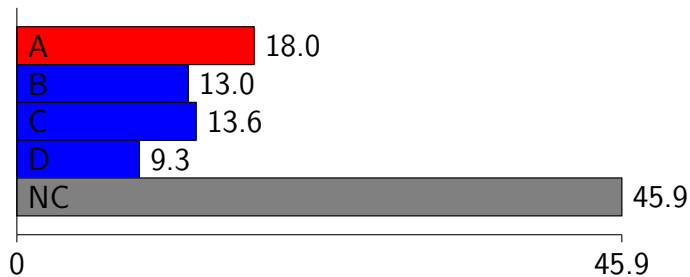
6. Dada la seudoinstrucción «**ldr** r5, [r5, #offset]», ¿en qué instrucciones máquina se transformaría si la constante offset valiera 20?

- ✓a) ✓En «**ldr** r5, [r5, #20]», pero no se trata de una seudoinstrucción sino de una instrucción máquina que utiliza un símbolo para el offset.
- b) En «**ldr** r5, =20»
- c) En «**mov** r5, #20»
- d) En «**ldr** r5, [pc, #20]»



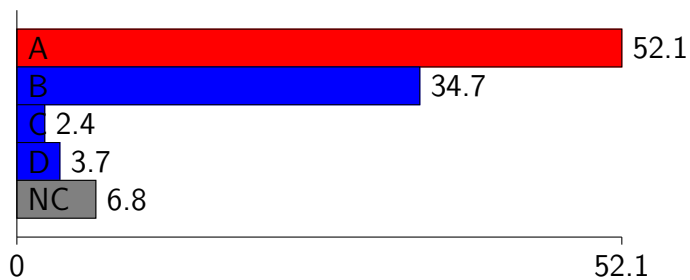
7. Las directiva «**.asciz** "Adios"»...

- ✓a) ✓ Generaría 6 bytes en memoria.
- b) Generaría 5 bytes en memoria.
- c) Debería ir seguida de «**.balign** 4».
- d) Daría un error porque las cadenas se deben declarar entre comillas simples, como «**.asciz** 'Adios'».



8. Los modos de direccionamiento de la instrucción «**str** r0, [r7, r1]» son:

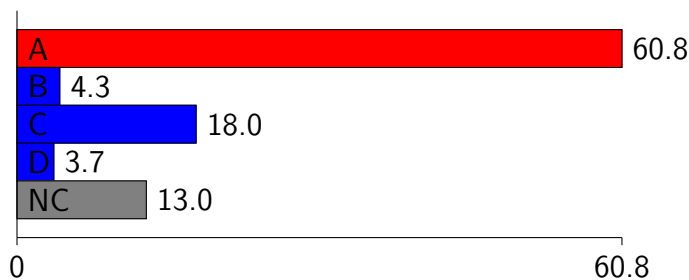
- ✓a) ✓ Directo a registro para el operando fuente e indirecto con registro de desplazamiento para el destino.
- b) Directo a registro para el operando destino e indirecto con registro de desplazamiento para el fuente.
- c) Directo a registro para el operando destino y los dos operandos fuente.
- d) Directo a registro para el operando fuente e indirecto con desplazamiento para el destino.



9. Una subrutina que llamara a otra, debería incluir:

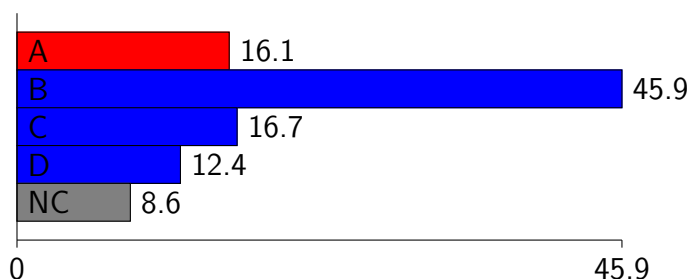


- ✓a) ✓Una instrucción «**bl**», una instrucción «**push**» para guardar `lr` y una instrucción «**pop**» para retornar.
- b) Una instrucción «**b**», y un instrucción «**mov lr, pc**» para retornar.
- c) Una instrucción «**b**», y un instrucción «**mov pc, lr**» para retornar.
- d) Una instrucción «**bl**», una instrucción «**pop**» para guardar `lr` y una instrucción «**push**» para retornar.



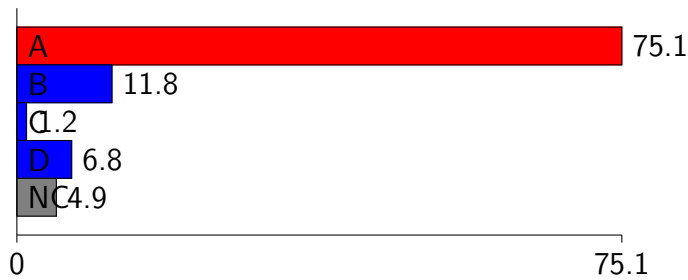
10. Se quiere realizar en ensamblador la estructura condicional `if val1 >= val2`: sin su opción alternativa (`else`), siendo `val1` y `val2` enteros con signo. ¿Qué instrucción de salto se tendría que utilizar?

- ✓a) ✓«**blt**» o «**bgt**».
- b) «**bge**».
- c) «**ble**» o «**bge**».
- d) «**blt**» y «**bne**».



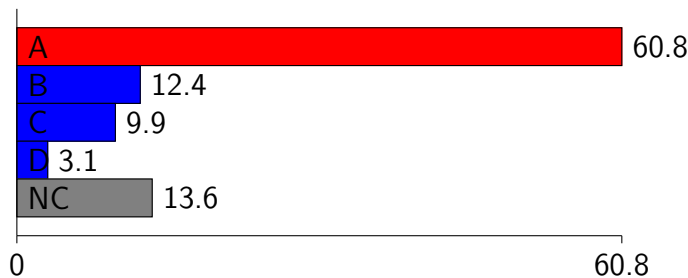
11. Indica por qué los registros `r8` a `r15` no se utilizan en la mayoría de las instrucciones.

- ✓a) ✓Porque sería necesario disponer de 4 bits en la codificación del campo que indica un registro, cuando lo habitual es tener 3.
- b) Los registros `r8` a `r15` son de propósito específico.
- c) No existen más registros en la arquitectura, salvo `sp`, `lr` y `pc`.
- d) Porque el acceso a estos registros es más lento al encontrarse en lo que se conoce como un banco extendido.



12. ¿De cuántas formas se puede codificar la instrucción «**add** r0, r0, #3»?

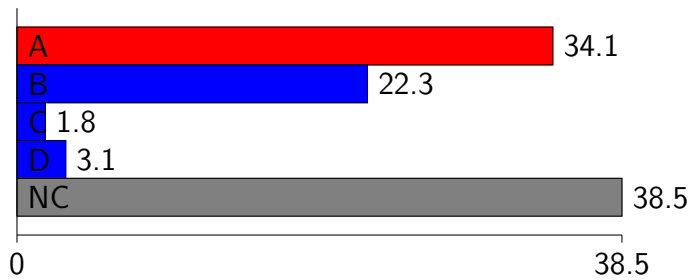
- ✓a) ✓ De dos, como una instrucción con un registro destino, un registro fuente y un inmediato fuente de 3 bits, o como una instrucción con un registro a la vez fuente y destino y un inmediato fuente de 8 bits.
- b) Sólo como una instrucción con un registro destino, un registro fuente y un inmediato fuente de 3 bits.
- c) Sólo como una instrucción con un registro a la vez fuente y destino y un inmediato fuente de 8 bits.
- d) Sólo como una instrucción con un registro destino, y un registro fuente con desplazamiento de 3 bits.



13. ¿Cuál será el valor del registro r0 al terminar la ejecución del siguiente código?

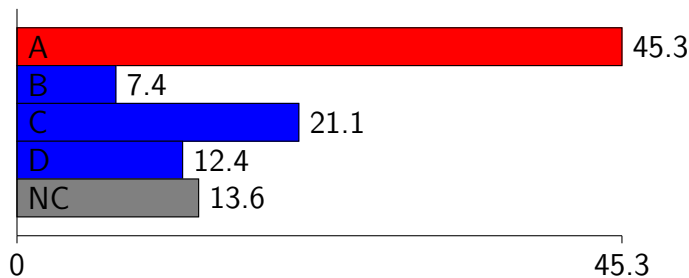
```
1      .text
2      ldr r0, =0xFFFFAAAA
3      lsr r1, r0, #2
4      lsl r0, r1, #2
5      wfi
```

- ✓a) ✓ 0xFFFF AAA8
- b) 0xFFFF AAAA
- c) 0x0FFF AAAA
- d) 0x0FFF AAA8



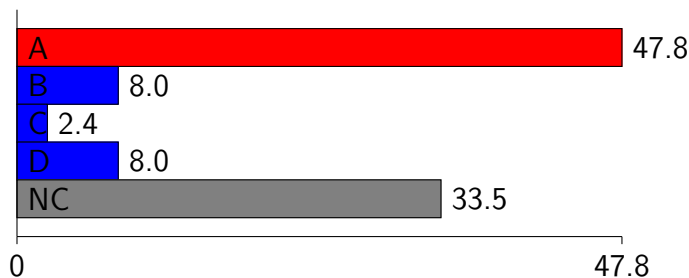
14. La instrucción «**add sp, sp, #12**»:

- ✓a) ✓Libera el espacio de 3 palabras de la pila.
- b) Apila 3 palabras.
- c) Reserva espacio para 3 palabras en la pila.
- d) Desapila 3 palabras.



15. Una tarjeta de adquisición de datos dispone de 8 canales con 16 bits de resolución cada uno, capaz de tomar como máximo 20.000 muestras por segundo por cada uno de ellos. Indica su productividad máxima.

- ✓a) ✓320.000 bytes/s.
- b) 40.000 bytes/s.
- c) 8 Kbits/s.
- d) 16.000 bits/s.

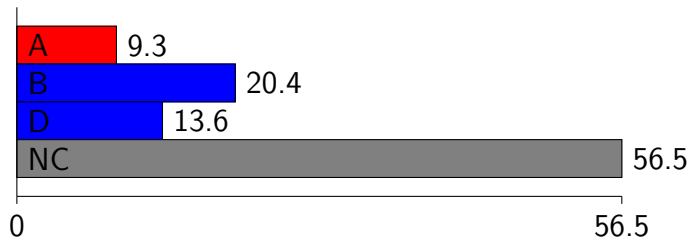


16. Indica cuál de las siguientes afirmaciones para un dispositivo Host USB es cierta:

- ✓a) ✓No dispone de elemento transductor.

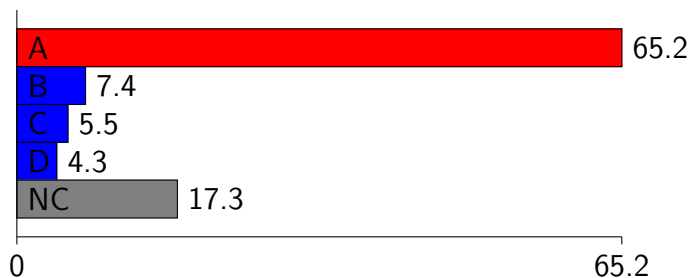


- b) Su elemento transductor es el circuito que genera la señalización eléctrica diferencial para el bus.
- c) No dispone de componente electrónica digital.
- d) Dispone de dos transductores, uno para la entrada y otro para la salida.



17. El conversor analógico digital de los microcontroladores de la familia PIC16 dispone de un bit que debe ponerse a 1 para comenzar la conversión, y que el conversor pone a 0 cuando aquélla se ha completado. Se trataría pues de un bit de...

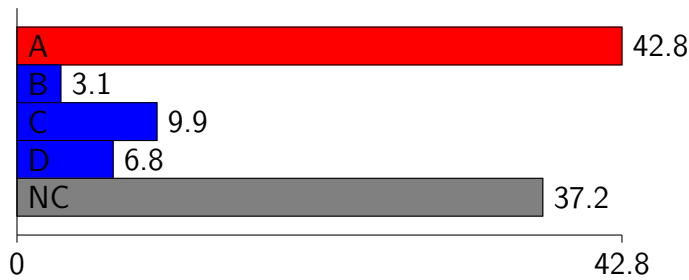
- ✓a) ✓Control y estado.
- b) Control y datos.
- c) Datos y estado.
- d) Datos.



18. Supón un ordenador que dispone de un controlador de DMA capaz de realizar copias de bloques de hasta 16.384 bytes.

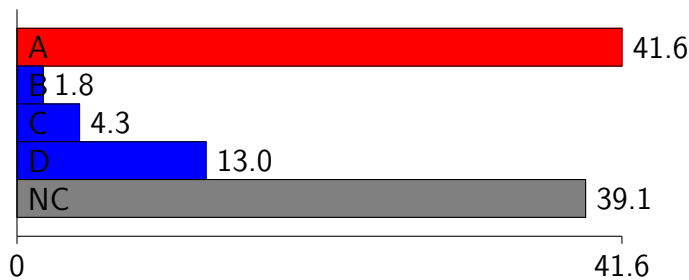
- ✓a) ✓Para realizar copias de tamaños mayores, habría que programar, directa o indirectamente, varias veces el controlador.
- b) Cualquier bloque de tamaño inferior debería transferirse por programa.
- c) Cualquier bloque de tamaño superior debería transferirse por programa.
- d) El procesador no podría realizar transferencias por programa a menos que se deshabilitara el controlador de DMA.





19. Un dispositivo de conversión analógico/digital obtiene datos de 8 bits a razón de 20.000 muestras por segundo, que el procesador lee uno a uno. Para que se pueda aprovechar esta tasa de conversión máxima...

- ✓a) ✓La latencia debe ser inferior a 50  $\mu$ s.
- b) La latencia debe ser superior a 50  $\mu$ s.
- c) La latencia será de 160.000 bits/s.
- d) La latencia será de 20 ms.



20. Los vectores de interrupción permiten...

- ✓a) ✓Que el procesador pueda ejecutar rápidamente la rutina de tratamiento de la interrupción recibida.
- b) Que no sea necesario habilitar las interrupciones en los dispositivos.
- c) Que el propio dispositivo pueda gestionar la interrupción.
- d) Que las interrupciones estén priorizadas.

